

## SVM Technique for Three-Phase Two-Level Inverter With Common Mode Voltage Spikes and Total Number of Switching Reduction

Nhat Tan Nguyen<sup>1</sup>, Tuan Anh Phan Nguyen<sup>1</sup>, Huu Tien Nguyen<sup>2</sup>, Vinh Thanh Tran<sup>1</sup>,  
Duc Tri Do<sup>1\*</sup>

<sup>1</sup>Ho Chi Minh City University of Technology and Education, Vietnam

<sup>2</sup>Samsung Electronics Co., Ltd., Vietnam

\*Corresponding author. Email: [tridd@hcmute.edu.vn](mailto:tridd@hcmute.edu.vn)

### ARTICLE INFO

Received: 12/09/2025  
Revised: 22/09/2025  
Accepted: 29/09/2025  
Published: 28/11/2025

### KEYWORDS

Three-phase inverter;  
Space vector modulation;  
Common-mode voltage;  
Pulse width modulation;  
Leakage current.

### ABSTRACT

Three-phase two-level voltage source inverters play an important role in converting DC to AC, but the switching process generates common mode voltage (CMV), which leads to leakage current, shaft voltage, and electromagnetic interference. The AZSPWM, RSPWM, and NSPWM methods effectively reduce CMV, but still have disadvantages such as high switching times, large harmonics, or limited modulation range. A particularly important problem is the appearance of CMV spikes, which often occur due to dead-time during switching of semiconductor switches and inter-sector switching, causing sudden increases in common mode voltage and degrading the output voltage quality. This paper proposes an improved SVPWM algorithm that synthesizes zero vectors using pairs of opposing vectors, flexibly by sector. This method not only reduces CMV spikes but also reduces the total number of switching times by eliminating switching during sector switching and optimizing the distribution of PWM pulses. Experimental results show that the proposed algorithm significantly reduces the amplitude and THD of CMV, limits spikes, improves the quality of output voltage, reduces switching loss, and maintains the stability and reliability of the system.

## Phương pháp điều khiển Vector không gian cho mạch nghịch lưu 3 pha 2 bậc giảm Spike điện áp Common-Mode và số lần chuyển mạch

Nguyễn Nhật Tân<sup>1</sup>, Phan Nguyễn Tuấn Anh<sup>1</sup>, Nguyễn Hữu Tiến<sup>2</sup>, Trần Vĩnh Thanh<sup>1</sup>,  
Đỗ Đức Trí<sup>1\*</sup>

<sup>1</sup>Trường Đại học Sư phạm Kỹ thuật Thành phố Hồ Chí Minh, Việt Nam

<sup>2</sup>Công ty TNHH Samsung Electronics, Việt Nam

\*Tác giả liên hệ. Email: [tridd@hcmute.edu.vn](mailto:tridd@hcmute.edu.vn)

### THÔNG TIN BÀI BÁO

Ngày nhận bài: 12/09/2025  
Ngày hoàn thiện: 22/09/2025  
Ngày chấp nhận đăng: 29/09/2025  
Ngày đăng: 28/11/2025

### TỪ KHÓA

Bộ nghịch lưu ba pha;  
Điều chế vector không gian;  
Điện áp common mode;  
Điều chế độ rộng xung;  
Dòng điện rò.

### TÓM TẮT

Bộ nghịch lưu nguồn áp ba pha hai mức (3P 2L-VSI) đóng vai trò quan trọng trong việc chuyển đổi DC thành AC, nhưng quá trình chuyển mạch tạo ra điện áp common mode (CMV), dẫn đến dòng rò, điện áp trục và nhiễu điện từ. Các phương pháp AZSPWM, RSPWM và NSPWM giảm CMV hiệu quả, nhưng vẫn tồn tại nhược điểm như số lần chuyển mạch cao, sóng hài lớn hoặc phạm vi điều chế hạn chế. Một vấn đề đặc biệt quan trọng là sự xuất hiện các CMV spikes, thường xảy ra do dead-time trong quá trình đóng cắt các khóa bán dẫn và sự chuyển mạch giữa các sector, gây tăng đột ngột điện áp mode chung và làm giảm chất lượng điện áp đầu ra. Bài báo đề xuất một giải thuật SVPWM cải tiến, tổng hợp vector zero bằng các cặp vector đối nghịch, linh hoạt theo sector. Phương pháp này vừa giảm CMV spikes, vừa giảm tổng số lần chuyển mạch nhờ loại bỏ chuyển mạch khi chuyển sector và tối ưu phân bố các xung PWM. Kết quả thực nghiệm cho thấy giải thuật đề xuất giảm đáng kể biên độ và THD của CMV, hạn

ché các spike, nâng cao chất lượng điện áp đầu ra, giảm tổn hao chuyển mạch, đồng thời duy trì độ ổn định và tin cậy của hệ thống.

Doi: <https://doi.org/10.54644/jte.2025.1998>

Copyright © JTE. This is an open access article distributed under the terms and conditions of the [Creative Commons Attribution-NonCommercial 4.0 International License](https://creativecommons.org/licenses/by-nc/4.0/) which permits unrestricted use, distribution, and reproduction in any medium for non-commercial purpose, provided the original work is properly cited.

## 1. Giới thiệu

Trước bối cảnh nguồn năng lượng truyền thống đang ngày càng cạn kiệt, việc phát triển và khai thác các nguồn năng lượng tái tạo trở nên cấp thiết. Các dạng năng lượng sạch như năng lượng mặt trời, gió và thủy triều ngày càng thu hút sự quan tâm và đầu tư nhờ tính bền vững và khả năng giảm thiểu tác động môi trường. Trước những biến động về giá năng lượng, biến đổi khí hậu và ô nhiễm môi trường, phát triển năng lượng tái tạo đã trở thành ưu tiên chiến lược [1]-[3].

Trong hệ thống năng lượng tái tạo, các thiết bị điện tử công suất, tiêu biểu là bộ nghịch lưu, giữ vai trò trọng yếu trong việc chuyển đổi dòng điện một chiều (DC) thành dòng điện xoay chiều (AC) để hòa lưới [4]. Tuy nhiên, việc triển khai các hệ thống này thường đi kèm chi phí đầu tư cao, trong khi nguồn ngân sách hạn chế, làm nổi bật nhu cầu nghiên cứu các giải pháp công nghệ hiệu quả. Trong đó, các bộ biến đổi DC/AC cho các hệ thống quy mô nhỏ và vừa trở thành trọng tâm, nhằm vừa tối ưu hóa chi phí, vừa đảm bảo chất lượng điện áp ngõ ra và khả năng linh hoạt thích ứng với các biến động của điều kiện thời tiết [5].

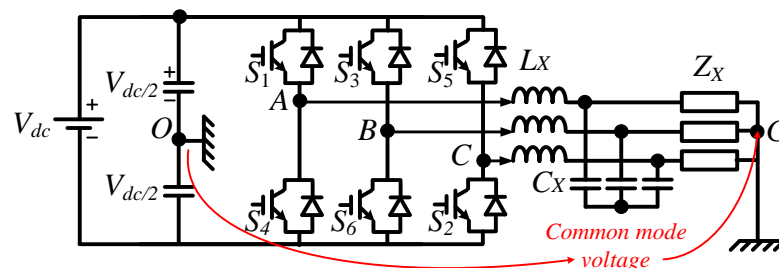
Trong những năm gần đây, bộ nghịch lưu nguồn áp (VSI) đã trở thành thành phần then chốt trong các hệ thống phân phối điện. Đặc biệt, bộ nghịch lưu ba pha hai mức (3P 2L-VSI) cung cấp chất lượng điện áp cao, điện áp đặt lên các khóa bán dẫn thấp, khả năng đáp ứng điện áp và công suất lớn, đồng thời xử lý EMI ở mức thấp [6], [7].

Tuy nhiên, trong quá trình vận hành, bộ nghịch lưu tạo ra điện áp common mode (CMV), hệ quả trực tiếp từ quá trình chuyển mạch trong điều chế PWM [8]. CMV được xác định là nguyên nhân chính gây ra hư hại cách điện dây quấn, mòn bạc đạn, dòng rò, điện áp trục trong các ứng dụng truyền động động cơ, đồng thời làm gia tăng nhiễu điện từ (EMI) [9]. Khi tần số chuyển mạch tăng, vấn đề CMV càng trở nên nghiêm trọng, ảnh hưởng trực tiếp đến độ an toàn, độ tin cậy của hệ thống cũng như khả năng tuân thủ các tiêu chuẩn tương thích điện từ (EMC).

Các giải pháp giảm điện áp common mode (CMV) thường được phân thành hai nhóm: phần cứng và phần mềm [10]. Giải pháp phần cứng bao gồm bổ sung cuộn kháng CM, bộ lọc thụ động hoặc chủ động, hoặc thay đổi cấu trúc mạch nghịch lưu. Mặc dù hiệu quả, các biện pháp này làm tăng chi phí, kích thước và độ phức tạp trong điều khiển. Ngược lại, giải pháp phần mềm điều chỉnh trực tiếp tín hiệu điều khiển hoặc thuật toán điều chế, mang lại tính kinh tế và linh hoạt cao, đặc biệt khi kết hợp với công nghệ xử lý tín hiệu số (DSP), và đã thu hút sự quan tâm nghiên cứu đáng kể trong thời gian gần đây.

Dựa trên những cơ sở này, bài báo đề xuất một thuật toán SVPWM cải tiến, trong đó các vector thích hợp được bổ sung vào những thời điểm chiến lược nhằm giảm các CMV spikes đồng thời giảm tổng số lần chuyển mạch. Cấu trúc bài báo gồm năm phần: 1) Giới thiệu, 2) Các giải thuật giảm CMV dựa trên SVPWM, 3) Giải thuật SVPWM cải tiến với khả năng giảm CMV Spikes và số lần chuyển mạch, 4) Kết quả thực nghiệm, 5) Kết luận.

## 2. Các giải thuật giảm điện áp common mode (CMV) dựa trên SVPWM



Hình 1. Điện áp CMV của nghịch lưu 3 pha 2 bậc.

Giá trị điện áp common mode (CMV), được minh họa trong Hình 1, được xác định theo biểu thức sau:

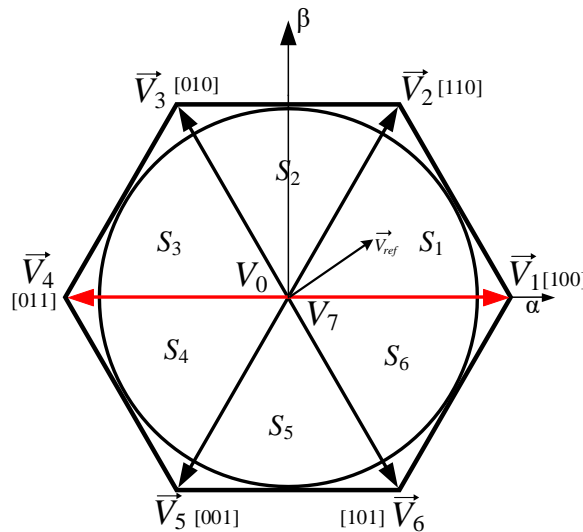
$$U_{GO} = \frac{U_{AO} + U_{BO} + U_{CO}}{3} \quad (1)$$

**Bảng 1.** Giá trị CMV của 8 vector cơ bản.

Vector	$\vec{V}_0[000]$	$\vec{V}_1[100]$	$\vec{V}_2[110]$	$\vec{V}_3[010]$	$\vec{V}_4[011]$	$\vec{V}_5[001]$	$\vec{V}_6[101]$	$\vec{V}_7[111]$
CMV	$-U_{dc}/2$	$-U_{dc}/6$	$U_{dc}/6$	$-U_{dc}/6$	$U_{dc}/6$	$-U_{dc}/6$	$U_{dc}/6$	$U_{dc}/2$

Kể từ cuối thế kỷ 20, nghiên cứu về các phương pháp điều chế xung nhằm giảm điện áp common mode (RCMV-PWM) đã tập trung chủ yếu vào kỹ thuật dựa trên vector không gian. Kỹ thuật điều chế vector không gian (SVPWM) vận hành bằng cách quay vector điện áp ngõ ra theo quỹ đạo gần tròn thông qua các tổ hợp khác nhau của các trạng thái chuyển mạch. Như trình bày trong Bảng 1, các giá trị đỉnh của điện áp CMV phát sinh từ các trạng thái vector không  $\vec{V}_0[000]$  và  $\vec{V}_7[111]$ . Việc loại bỏ hoàn toàn các vector không này trong điều khiển mạch nghịch lưu ba pha hai bậc cho phép giảm biên độ CMV lên tới 66,7% từ  $U_{dc}/2$  xuống còn  $U_{dc}/6$ . Dựa trên sự lựa chọn các trạng thái tác động (active states), các chiến lược điều chế SVPWM hiện nay được phân thành ba nhóm chính: AZSPWM, RSPWM và NSPWM, mỗi nhóm có đặc trưng riêng và tiềm năng ứng dụng khác nhau trong việc giảm thiểu CMV [11] - [16].

### 2.1. Điều chế trạng thái Zero chủ động (AZSPWM)



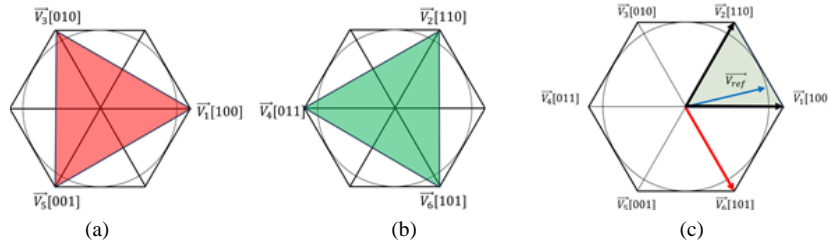
**Hình 2.** Giải đồ vector của AZSPWM.

Giải thuật AZSPWM (như minh họa ở Hình 2) là một phương pháp điều chế vector không gian trong đó hai vector đối nghịch có cùng độ lớn và thời gian tác động được sử dụng để thay thế cho hai vector zero  $\vec{V}_0$  và  $\vec{V}_7$ , trong khi hai vector còn lại của sector tham gia vào quá trình tổng hợp vector điện áp tham chiếu vẫn được giữ nguyên như trong SVPWM truyền thống [17].

Việc loại bỏ hai vector zero này giúp giảm biên độ điện áp common mode (CMV) từ  $U_{dc}/2$  xuống còn  $U_{dc}/6$ , như trình bày trong Bảng 1. Ưu điểm nổi bật của phương pháp là giảm điện áp CMV gấp ba lần so với SVPWM truyền thống, đồng thời vẫn duy trì biên độ điện áp đầu ra ổn định với phương pháp điều chế tương đối đơn giản. Tuy nhiên, nhược điểm của phương pháp là số lần chuyển mạch cao hơn do sự chuyển mạch tại các thời điểm chuyển sector, dẫn đến tổn hao chuyển mạch tăng, dẫn đến gia tăng tổng hao trên toàn bộ hệ thống. Ngoài ra, phương pháp này có thể sinh ra các thành phần sóng hài không mong muốn, làm gia tăng giá trị THD%, ảnh hưởng đến chất lượng điện áp đầu ra [13].

## 2.2. Điều chế trạng thái xa (Remote PWM - RSPWM)

RSPWM là một phương pháp nhằm giảm điện áp common mode (CMV) và đơn giản hóa thuật toán điều chế [18]. Nguyên lý cơ bản của RSPWM là sử dụng một trong hai bộ vector: các vector lẻ  $\vec{V}_1, \vec{V}_3, \vec{V}_5$  hoặc các vector chẵn  $\vec{V}_2, \vec{V}_4, \vec{V}_6$  để tổng hợp điện áp ngõ ra. Giảm đồ vector không gian của các phương pháp này được trình bày ở Hình 3.



**Hình 3.** Giảm đồ RSPWM và giảm đồ NSPWM:

(a) Tổ hợp 03 vector lẻ; (b) Tổ hợp 3 vector chẵn; (c) Giảm đồ NSPWM.

Ưu điểm nổi bật của RSPWM (như thể hiện ở Hình 3(a) và Hình 3(b)) là duy trì CMV gần như hằng số ở  $\pm U_{dc}/6$ , triệt tiêu dòng mode chung (CMC) hiệu quả, đồng thời giảm thiểu độ phức tạp tính toán.

Bên cạnh đó, độ lợi điện áp ngõ ra là hạn chế của phương pháp này với giá trị chỉ bằng  $U_{dc}/3$ , thấp hơn so với SVPWM truyền thống là  $U_{dc}/\sqrt{3}$ . Điều này làm giảm khả năng khai thác điện áp tối đa. Tuy nhiên, trong các ứng dụng nhạy cảm với EMI hoặc yêu cầu giảm CMV, RSPWM vẫn là một lựa chọn tối ưu nhờ sự ổn định và đơn giản của thuật toán.

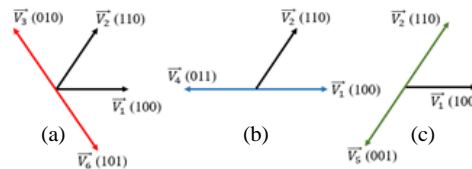
## 2.3. Điều chế trạng thái lân cận (Near State PWM - NSPWM)

Hình 3(c) trình bày phương pháp NSPWM cho phép giảm biên độ CMV từ  $U_{dc}/2$  xuống còn  $U_{dc}/6$  nhờ loại bỏ các vector zero, đồng thời giảm tổn hao chuyển mạch so với SVPWM truyền thống. Tuy nhiên, nhược điểm của phương pháp bao gồm tăng hàm lượng sóng hài và phạm vi điều chế hạn chế ( $0.61 < m < 0.91$ ) [19].

## 3. Giải thuật SVPWM cải tiến với khả năng giảm CMV Spikes và số lần chuyển mạch

Các phân tích ở Mục 2 đã chỉ ra rõ ưu và nhược điểm của các phương pháp giảm CMV trước đây. Bên cạnh đó, trong thực tế hiện tượng CMV spikes do dead-time và chuyển sector luôn xuất hiện trong quá trình hoạt động của bộ nghịch lưu 3 pha 2 bậc, điều này dẫn đến các hệ quả tiêu cực như gây nhiễu điện từ giá trị lớn đến hệ thống [20] – [22]. Thuật toán đề xuất dựa trên nền tảng AZSPWM kết hợp SVPWM tập trung triệt tiêu CMV spikes, tối ưu số lần chuyển mạch, đồng thời duy trì chất lượng điện áp ngõ ra và nâng cao hiệu suất hệ thống.

### 3.1. Phân tích và tính toán của giải thuật đề xuất



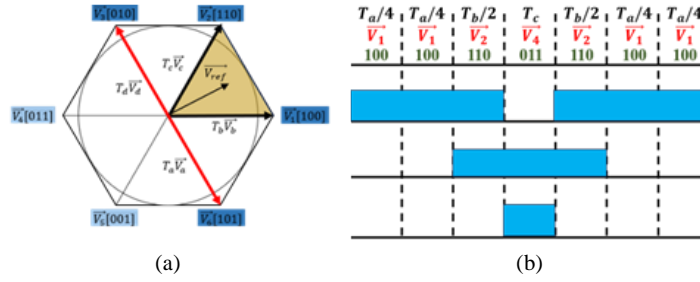
**Hình 4.** Các phương pháp tổng hợp vector zero trong giải thuật đề xuất:

(a) Phương pháp tổng hợp I; (b) Phương pháp tổng hợp II; (c) Phương pháp tổng hợp III.

Trong thuật toán đề xuất, tổng hợp vector zero được thực hiện linh hoạt theo từng sector hoạt động:

- Sector II và Sector V: áp dụng phương pháp Hình 4(a).
- Sector I và Sector IV: áp dụng Cách tiếp cận Hình 4(b).
- Sector III và Sector VI: áp dụng Cách tiếp cận Hình 4(c).

Xét đơn cử trong hoạt động của Sector I được trình bày như Hình 5.



**Hình 5.** Phương pháp tổng hợp I: (a) Tổ hợp vector của Sector I; (b) Chuyển mạch trong sector I.

Đơn cử xét trong Sector I của giải thuật đề xuất (Hình 5), dựa trên nguyên lý SVPWM để xác định thời gian tác động, trình tự tuần tự của các vector trong phương pháp tổng hợp thứ nhất được xác lập nhằm tối ưu hóa phân phối điện áp và giảm điện áp common mode:

Vector  $\vec{V}_0$  được tổng hợp bởi  $\vec{V}_a$  và  $\vec{V}_d$ , sector 1 có vector điện áp ngõ ra là  $\vec{V}_{ref}$  được tổng hợp từ các vector thành phần được biểu diễn như sau:

$$\begin{cases} T_s \vec{V}_{ref} = T_b \vec{V}_b + T_c \vec{V}_c + T_a \vec{V}_a + T_d \vec{V}_d \\ T_s = T_b + T_c + T_a + T_d \\ T_a = T_d \end{cases} \quad (2)$$

Các vector điện áp thành phần và vector điện áp tham chiếu được biểu diễn như sau:

$$\begin{cases} \vec{V}_{ref} = m.U_{dc} \cdot \sqrt{3} / (2) \cdot e^{j\theta} \\ \vec{V}_b = \vec{V}_2 = 2.U_{dc} / (3) \cdot e^{j0}; \quad \vec{V}_c = \vec{V}_1 = 2.U_{dc} / (3) \cdot e^{j\pi/3} \\ \vec{V}_a = \vec{V}_3 = 2.U_{dc} / (3) \cdot e^{j2\pi/3}; \quad \vec{V}_d = \vec{V}_6 = 2.U_{dc} / (3) \cdot e^{j5\pi/3} \end{cases} \quad (3)$$

Trong đó m là hệ số điều chế ( $0 \leq m \leq 1$ ),  $\theta$  là góc của vector điện áp tham chiếu  $\vec{V}_{ref}$ .

Theo (2) và (3), thời gian tác dụng của các vector điện áp được xác định:

$$\begin{cases} T_a = \frac{T_s}{2} [1 - m \cdot \sin(\frac{\pi}{3} - \theta) + \sin(\theta)] \\ T_b = T_s \cdot m \cdot \sin(\frac{\pi}{3} - \theta) \\ T_c = T_s \cdot m \cdot \sin(\theta) \\ T_d = \frac{T_s}{2} [1 - m \cdot \sin(\frac{\pi}{3} - \theta) + \sin(\theta)] \end{cases} \quad (4)$$

**Bảng 2.** So sánh trạng thái chuyển mạch của SVPWM, AZSPWM giải thuật đề xuất.

Sector	SVPWM	AZSPWM	Giải thuật đề xuất
I	0127 → 7210	6123 → 3216	124 → 421
II	0237 → 7320	1234 → 4321	1234 → 4321
III	0347 → 7430	2345 → 5432	134 → 431
IV	0457 → 7540	3456 → 6543	154 → 451
V	0567 → 7650	4561 → 1654	1654 → 4561



Cụ thể, phương pháp tổng hợp thứ nhất tương ứng với thuật toán AZSPWM truyền thống, trong đó  $\vec{V}_0$  được tạo thành từ hai vector đối xứng  $\vec{V}_a$  và  $\vec{V}_d$  có cùng biên độ và cùng thời gian tác dụng. Trình tự tác động liên tiếp tuân thủ nguyên lý của SVPWM.

Trong thực tế, có nhiều tiêu chí khác nhau để lựa chọn mẫu đóng cắt của các khóa bán dẫn, tùy thuộc vào mục tiêu cụ thể như giảm méo hài tổng (THD) của điện áp ngõ ra, tối thiểu hóa gợn dòng điện, giảm tổn hao hoặc giảm tần số chuyển mạch. Thông thường, mẫu đóng cắt được sử dụng phổ biến nhất là phân bố đều các xung trong suốt chu kỳ lấy mẫu  $T_s$  như minh họa trong Hình 6(b).

Có thể nhận thấy, so với các thuật toán SVPWM truyền thống và AZSPWM, giải thuật đề xuất sử dụng tổng số vector ít hơn, mang lại lợi ích rõ rệt về giảm số lần chuyển mạch, giảm tổn hao nhiệt và rút ngắn dead-time. Tuy nhiên, việc giảm số vector này cũng kéo theo một số hạn chế nhất định, bao gồm biến dạng dạng sóng điện áp ngõ ra và tăng THD của điện áp và dòng điện.

### 3.2. Tính toán thời gian tác dụng và lựa chọn chuỗi xung.

**Bảng 3.** Trạng thái chuyển mạch giữa hai sector.

	Sector I	Sector II
<b>SVPWM</b>	$\vec{V}_0 \rightarrow \vec{V}_1 \rightarrow \vec{V}_2 \rightarrow \vec{V}_7 \rightarrow \vec{V}_2 \rightarrow \vec{V}_1 \rightarrow \vec{V}_0$	$\vec{V}_0 \rightarrow \vec{V}_1 \rightarrow \vec{V}_2 \rightarrow \vec{V}_7 \rightarrow \vec{V}_2 \rightarrow \vec{V}_1 \rightarrow \vec{V}_0$
<b>AZPWM</b>	$\vec{V}_6 \rightarrow \vec{V}_1 \rightarrow \vec{V}_2 \rightarrow \vec{V}_3 \rightarrow \vec{V}_2 \rightarrow \vec{V}_1 \rightarrow \vec{V}_6$	$\vec{V}_1 \rightarrow \vec{V}_2 \rightarrow \vec{V}_3 \rightarrow \vec{V}_4 \rightarrow \vec{V}_3 \rightarrow \vec{V}_2 \rightarrow \vec{V}_1$
<b>Giải thuật đề xuất</b>	$\vec{V}_1 \rightarrow \vec{V}_2 \rightarrow \vec{V}_4 \rightarrow \vec{V}_2 \rightarrow \vec{V}_1$	$\vec{V}_1 \rightarrow \vec{V}_2 \rightarrow \vec{V}_3 \rightarrow \vec{V}_4 \rightarrow \vec{V}_3 \rightarrow \vec{V}_2 \rightarrow \vec{V}_1$

Nghiên cứu [13] đã phân tích ảnh hưởng của dead-time lên bộ nghịch lưu. Một trong những tác động nổi bật là sự tăng đột ngột của điện áp common mode (CMV). Cụ thể, với phương pháp AZSPWM, mặc dù giá trị CMV trung bình giảm từ  $\pm U_{dc}/2$  xuống  $\pm U_{dc}/6$  vẫn xuất hiện các thời điểm đỉnh CMV tăng vọt lên  $\pm U_{dc}/2$ , hiện tượng này thường được gọi là CMV spike. Sự bất ổn trong dạng sóng CMV này dẫn đến nhiều hậu quả tiêu cực trên động cơ, bao gồm dòng rò, điện áp trực và tăng nhiễu điện từ (EMI). Ngược lại, SVPWM truyền thống không gặp phải hiện tượng này, điều này được giải thích bởi đặc tính chuyển mạch trong quá trình chuyển sector [13].

Sự chuyển mạch giữa các sector được định nghĩa là sự khác biệt giữa vector cuối cùng của sector trước và vector bắt đầu của sector kế tiếp. Như trình bày trong Bảng 3, ngoài việc giảm tổng số lần chuyển mạch trong một chu kỳ, phương pháp đề xuất còn triệt tiêu điện áp CMV spikes bằng cách loại bỏ các chuyển mạch xảy ra trong quá trình chuyển sector, vốn là nguyên nhân chính gây ra các CMV spikes. Nhờ đó, giá trị CMV được duy trì ổn định trong giới hạn từ  $-U_{dc}/6$  đến  $+U_{dc}/6$ .

Điều đáng chú ý là, trong một chu kỳ, sự chuyển mạch của các khóa công suất không chỉ xảy ra bên trong từng sector mà còn xuất hiện khi chuyển từ sector này sang sector khác, do đó việc kiểm soát chuyển mạch trong giai đoạn chuyển sector là yếu tố then chốt để hạn chế CMV spikes và cải thiện chất lượng điện áp ngõ ra.

Từ Bảng 3 có thể thấy, phương pháp SVPWM không có sự chuyển mạch khi nhảy sector vì vector cuối cùng của sector I là  $\vec{V}_0$  và vector bắt đầu của sector II vẫn là  $\vec{V}_0$ , tương tự cho các sector còn lại. Tuy nhiên, với phương pháp AZSPWM, đã có sự chuyển mạch khi chuyển sector, cụ thể là vector cuối cùng của sector I và vector bắt đầu của sector II là khác nhau  $\vec{V}_6$  và  $\vec{V}_1$ . Với sáu sector trong giản đồ vector không gian, phương pháp AZSPWM sẽ có 6 lần chuyển mạch khi chuyển sector. Mặt khác, giải thuật nghiên cứu đã giải quyết được vấn đề này khi không tạo ra sự chuyển mạch khi chuyển sector I sang sector II với vector kết thúc của sector I và vector bắt đầu của sector II đều là  $\vec{V}_1$ , tương tự với các sector còn lại cũng không xảy ra hiện tượng chuyển mạch khi chuyển sector.

Từ cách suy luận trên ta có thể tính được tổng số lần chuyển mạch trong một chu kỳ lấy mẫu như sau:

$$N_{sw} = (N_{sw-sector} + N_{sw-trans}) \times f_s \quad (5)$$

Trong đó:

$N_{sw}$ : Tổng số lần chuyển mạch trong một chu kỳ chuyển mạch.

$N_{sw-sector}$ : Số lần chuyển mạch trong một sector.

$N_{sw-trans}$ : Số lần chuyển mạch tại điểm chuyển tiếp giữa các sector.

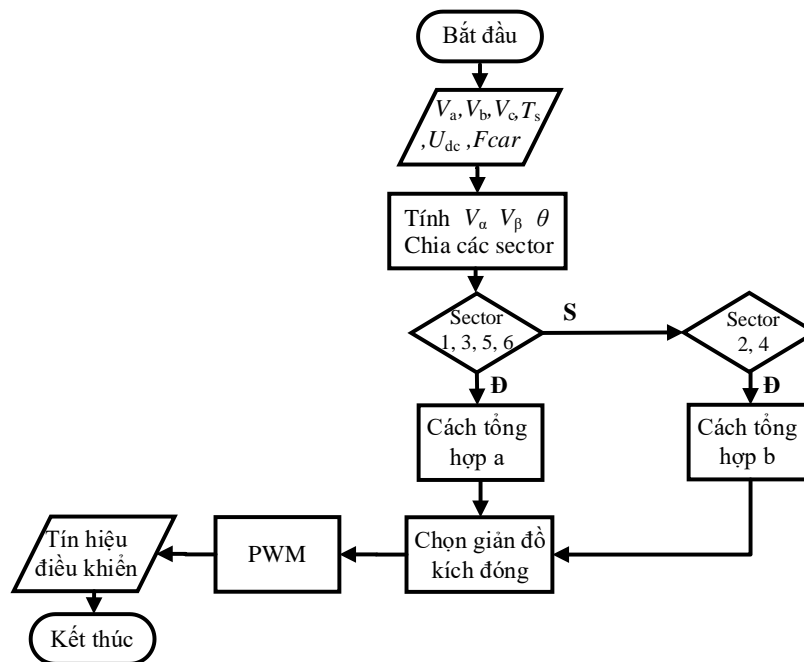
$f_s$ : Tần số sóng mang.

Với hoạt động của hệ thống có tần số chuyển mạch  $f_s = 10\text{kHz}$ , và chu kỳ lấy mẫu là  $T_s = 0.0001\text{s}$ , Bảng 4 trình bày số lần chuyển mạch trong một giây của các giải thuật.

**Bảng 4.** So sánh số lần chuyển mạch giữa các phương pháp.

	Số chuyển mạch trong một sector	Số chuyển mạch khi chuyển sector	Tổng số chuyển mạch
<b>SVPWM</b>	6	0	60.000
<b>AZSPWM</b>	6	1	70.000
<b>Giải thuật đề xuất</b>	Sector 2, 4: 6	0	46.667
	Sector 1, 3, 5, 6: 4		

Giải thuật nghiên cứu giảm đến 23.333 lần chuyển mạch trong một giây so với phương pháp AZSPWM. Đồng thời giảm 13.333 lần so với phương pháp SVPWM đồng thời giải thuật nghiên cứu có phần vượt trội hơn về mặt giảm giá trị điện áp CMV. Từ đó có thể thấy, giải thuật nghiên cứu có thể giảm sự thất thoát nhiệt trong quá trình bộ nghịch lưu hoạt động, do đó tăng tuổi thọ cho các khóa bán dẫn. Phương pháp này càng vượt trội khi sử dụng cho những bộ nghịch lưu có tần số chuyển mạch lớn, tần số chuyển mạch càng lớn thì sự chênh lệch trong việc giảm tổng số lần chuyển mạch càng được thể hiện rõ rệt. Đặc biệt khi hiện nay các card DSP có thể xử lý với dao động lên đến vài MHz. Tuy nhiên, khi tăng tần số chuyển mạch, tổn hao chuyển mạch cũng tăng theo, nên cần có sự đánh đổi và cân nhắc kỹ càng giữa hai thông số này.



**Hình 6.** Lưu đồ điều chế giải thuật đề xuất.

Hình 6 minh họa tổng quan kỹ thuật điều khiển của thuật toán đề xuất. Trước hết, từ điện áp ngõ ra mong muốn của bộ nghịch lưu, xác định điện áp một chiều tối thiểu cần cung cấp. Các thông số về chu kỳ lấy mẫu và tần số sóng mang được xác định trước. Tiếp theo, tiến hành tính toán các đại lượng  $V_\alpha$ ,  $V_\beta$ ,  $V_{ref}$ , góc  $\theta$  và thực hiện chia sector. Dựa trên sector hiện đang được kích hoạt, lựa chọn phương pháp tổng hợp vector zero phù hợp với nguyên lý của giải thuật. Sau đó, lựa chọn trình tự kích thích tối ưu và thực hiện điều chế PWM với sóng mang có tần số trùng với tần số chuyển mạch.

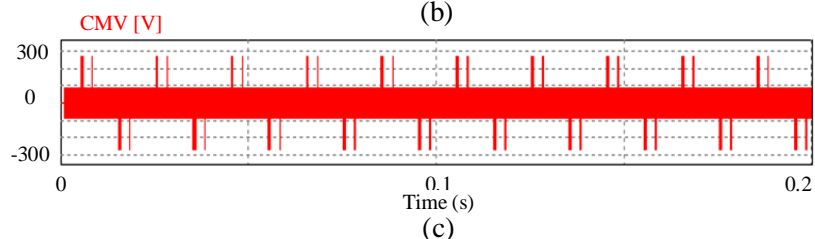
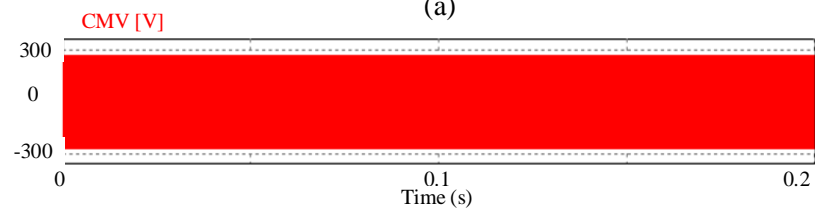
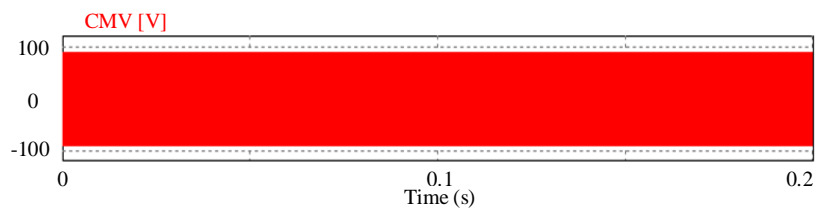
Cuối cùng, các tín hiệu điều khiển có chèn dead-time được tạo ra cho các khóa công suất  $S_1, S_2, S_3, S_4, S_5$  và  $S_6$  để cấp cho bộ nghịch lưu.

#### 4. Kết quả mô phỏng và thực nghiệm

Nhóm nghiên cứu tiến hành xây dựng mô hình bộ nghịch lưu 3 pha 2 bậc tải RL để kiểm chứng tính đúng đắn của giải thuật đề xuất và những ưu điểm của giải thuật này. Thông số thực nghiệm được thể hiện thông qua Bảng 5.

**Bảng 5.** Các thông số thực nghiệm.

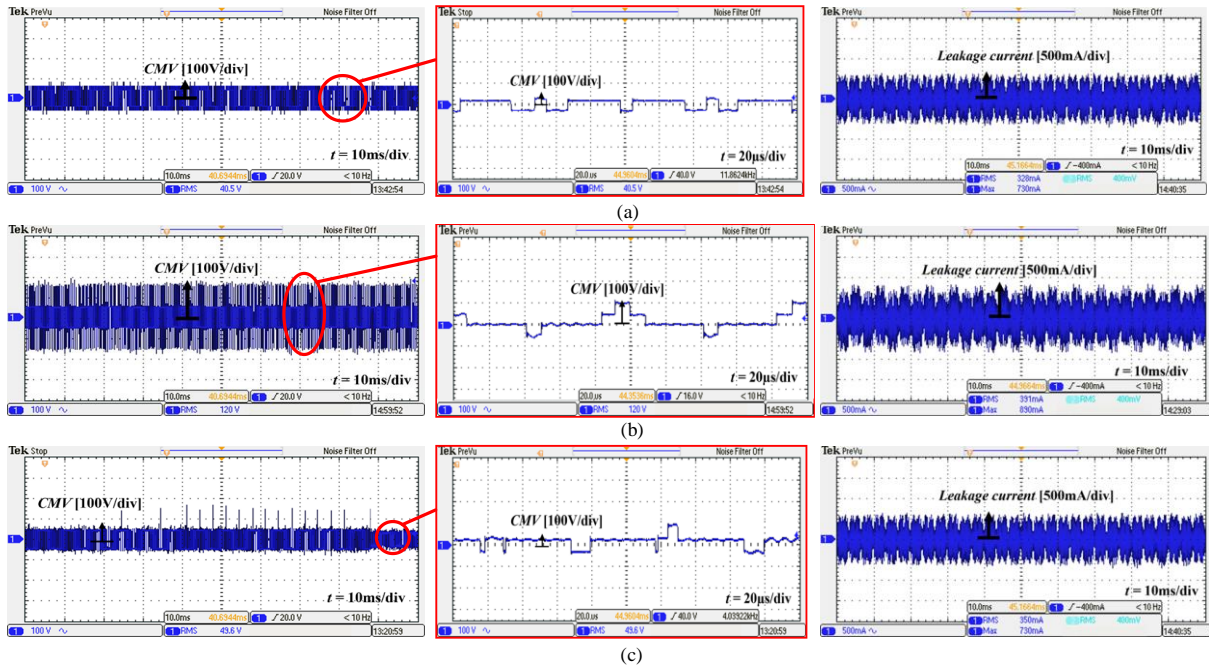
Thông số		Giá trị	Đơn vị
Điện áp DC ngõ vào	$U_{dc}$	320	V
Điện áp AC ngõ ra	$V_o$	110	$V_{rms}$
Tần số ngõ ra	$f_o$	50	Hz
Tỉ số điều chế	$m$	0.9	
Tần số chuyển mạch	$f_s$	10	kHz
Dead-time	$T_d$	1	$\mu s$
Mạch lọc	$L_f$	1	mH
	$C_f$	10	$\mu F$
Tải RL 3 pha	R	50	$\Omega$
	L	10	mH





**Hình 7.** Kết quả mô phỏng điện áp CMV: a) Giải thuật đề xuất; b) SVPWM; c) AZPWM.

Kết quả mô phỏng thể hiện điện áp CMV của ba giải thuật như sau: a) giải thuật đề xuất, b) giải thuật vector không gian truyền thống (SVPWM), và c) giải thuật AZPWM với điện áp DC ngõ vào  $U_{dc} = 540V$ . Từ kết quả mô phỏng có thể nhận xét rằng, điện áp CMV của phương pháp truyền thống tạo ra điện áp CMV có giá trị là  $\pm U_{dc}/2$ , trong đó phương pháp AZPWM ở Hình 7(c) giúp điện áp CMV của bộ nghịch lưu giảm từ  $\pm U_{dc}/2$  xuống  $\pm U_{dc}/6$ . Tuy nhiên, phương pháp này vẫn còn tạo ra spike CMV tạo ra điện áp CMV  $\pm U_{dc}/2$  khi chuyển các sector. Phương pháp đề xuất được trình bày ở Hình 7(a) giúp giảm điện áp CMV đồng thời hạn chế spike khi chuyển các sector.

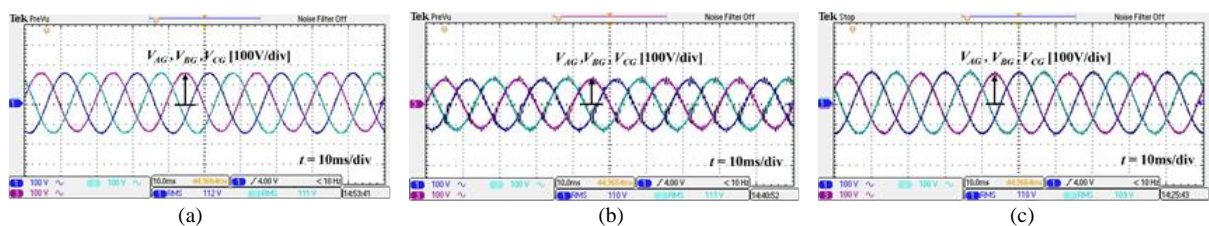


**Hình 8.** Kết quả thực nghiệm điện áp CMV và dòng rò: a) Giải thuật đề xuất; b) SVPWM; c) AZPWM.

Hình 8 cho thấy biên độ CMV của ba giải thuật SVPWM, AZSPWM và giải thuật đề xuất. Việc loại bỏ hai vector  $\vec{V}_0$  và  $\vec{V}_7$  trong AZSPWM đã giúp biên độ CMV giảm từ  $\pm 160V$  xuống  $\pm 54V$ . Tuy nhiên, dạng sóng vẫn xuất hiện CMV spikes do dead-time và chuyển mạch khi đổi sector, gây nhiễu điện từ đáng kể. Giải thuật đề xuất loại bỏ hoàn toàn hiện tượng này bằng cách tránh chuyển mạch khi đổi sector, giúp dạng sóng CMV ổn định hơn và nâng cao chất lượng điện áp đầu ra.

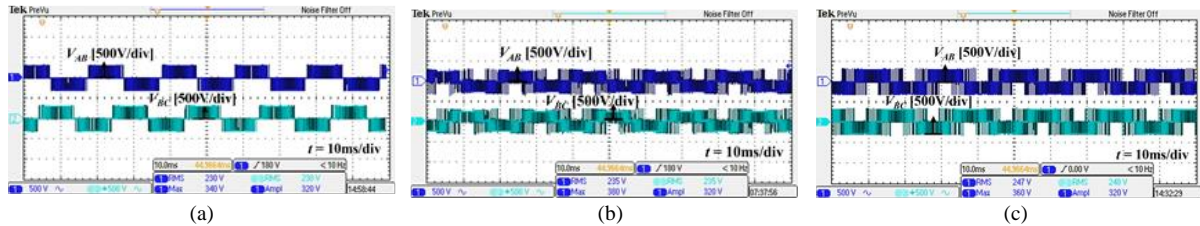
Hình 8 còn cho thấy trong một chu kỳ,  $dV/dt$  và số bậc của dạng sóng CMV ở giải thuật đề xuất đều nhỏ hơn SVPWM, dẫn đến giảm đỉnh và giá trị rms của CMC, qua đó cải thiện EMC và giảm EMI. Mặc dù AZSPWM cũng giảm  $dV/dt$  và số bậc, nhưng vẫn xuất hiện spikes ở một số thời điểm.

Hình 8 minh họa sự giảm dòng CMC – dòng rò hình thành khi đi qua tụ ký sinh giữa tâm tải G và tâm nguồn O trong quá trình nghịch lưu hoạt động. Dòng CMC gây ra nhiễu tiêu cực, đặc biệt là nhiễu điện từ, ảnh hưởng đến hệ thống cấp nguồn và các thiết bị xung quanh. Việc giảm CMC là rất quan trọng, nhất là trong các ứng dụng đòi hỏi độ nhạy cao như thiết bị y tế hoặc hệ thống điện tử chính xác.



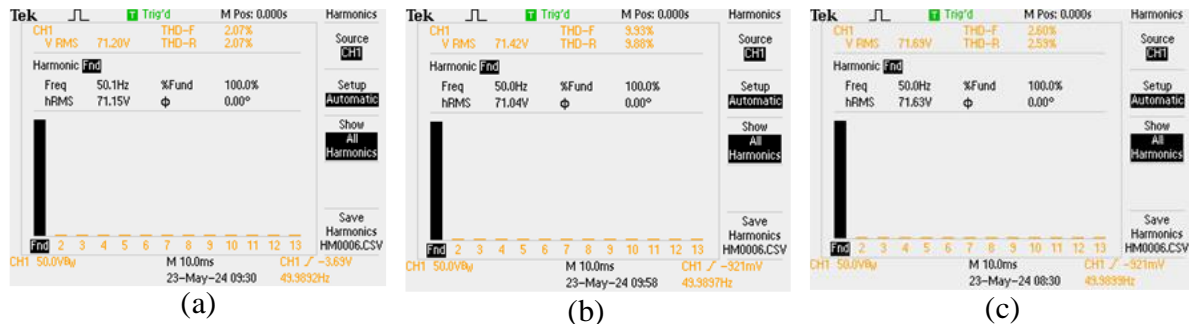
**Hình 9.** Kết quả thực nghiệm điện áp ngõ ra sau lọc: a) SVPWM; b) AZSPWM; c) Giải thuật nghiên cứu.

Kết quả thí nghiệm trình bày trong Hình 9 cho thấy điện áp ba pha ngõ ra sau bộ lọc khi áp dụng các giải thuật điều chế khác nhau. Cụ thể, với giải thuật vector không gian truyền thống (SVPWM), chất lượng điện áp ngõ ra đạt mức tốt nhất, dạng sóng gần chuẩn hình sin và biên độ điện áp được duy trì ổn định. Trong khi đó, giải thuật AZSPWM mặc dù có ưu điểm rõ rệt trong việc giảm thiểu đáng kể điện áp CMV những chất lượng điện áp đầu ra chưa đảm bảo. Đối với giải thuật được đề xuất, kết quả cho thấy điện áp CMV cũng được triệt giảm hiệu quả tương tự AZSPWM, đồng thời chất lượng điện áp ngõ ra được cải thiện đáng kể, dạng sóng tiệm cận với chất lượng của SVPWM.



**Hình 10.** Kết quả thực nghiệm điện áp dây  $V_{AB}$  và  $V_{BC}$ : a) SVPWM; b) AZSPWM; c) Giải thuật nghiên cứu.

Kết quả thực nghiệm Hình 10 cho thấy cả ba giải thuật đều tạo ra điện áp dây ba bậc ( $-U_{dc}$ ,  $0$ ,  $+U_{dc}$ ) và điện áp pha hai bậc ( $0$ ,  $U_{dc}$ ) như kỳ vọng. Tuy nhiên, AZSPWM xuất hiện méo dạng điện áp dây rõ rệt và dao động điện áp pha do CMV spikes, làm suy giảm chất lượng điện áp. Ngược lại, SVPWM và đặc biệt là giải thuật đề xuất duy trì được điện áp dây ổn định, giảm dao động điện áp pha và hạn chế nhiễu điện từ. Như vậy, giải thuật nghiên cứu cho chất lượng điện áp tốt hơn AZSPWM, phù hợp với các ứng dụng yêu cầu chất lượng điện năng tốt và EMC cao.



**Hình 11.** Kết quả thực nghiệm giá trị THD% điện áp pha A: a) SVPWM; b) AZSPWM; c) Giải thuật nghiên cứu.

Kết quả thực nghiệm hình 11 cho thấy AZSPWM bộc lộ nhược điểm lớn khi THD% điện áp pha A đạt gần 10%, vượt xa giới hạn tiêu chuẩn ( $<6,5\%$ ) do ảnh hưởng đồng thời của sóng hài bậc cao và CMV spikes. Ngược lại, giải thuật nghiên cứu và SVPWM truyền thống đều đảm bảo chất lượng điện áp tốt với THD% lần lượt 2,60% và 2,07%. Mặc dù THD% của giải thuật nghiên cứu nhỉnh hơn SVPWM truyền thống, sự chênh lệch này không đáng kể so với lợi ích đạt được: giảm số lần chuyển mạch, triệt tiêu CMV spikes, giảm nhiễu điện từ, và nâng cao hiệu suất tổng thể của hệ thống. Điều này chứng minh giải thuật nghiên cứu mang lại sự cân bằng tối ưu giữa chất lượng điện áp, hiệu suất, và độ tin cậy khi vận hành lâu dài.

## 5. Kết luận

Bài báo trình bày một giải thuật mới cho nghịch lưu ba pha hai bậc, có khả năng giảm các CMV spikes đồng thời giảm tổng số lần chuyển mạch. Phân tích lý thuyết cho thấy thuật toán đề xuất tổng hợp zero-vector hoàn toàn từ các vector hoạt động, tương tự AZSPWM truyền thống, nhờ đó giới hạn biên độ CMV ở  $\pm U_{dc}/6$  thay vì  $\pm U_{dc}/2$ . So sánh với SVPWM và AZSPWM truyền thống cho thấy giải thuật đề xuất đạt số lần chuyển mạch thấp nhất, tương đương SVPWM, giúp giảm tổn hao chuyển mạch và cải thiện hiệu suất nhiệt, đồng thời hạn chế nhiễu EMI. Tính hiệu quả của thuật toán được xác nhận qua mô phỏng và kết quả thực nghiệm, chứng minh tính cạnh tranh vượt trội trong việc cân bằng giữa

giảm nhiễu EMI và giảm tổn hao so với các phương pháp truyền thống, phù hợp cho các ứng dụng điều khiển động cơ công nghiệp hiệu suất cao.

### Lời cảm ơn

Bài báo này được thực hiện tại phòng thí nghiệm điện tử công suất nâng cao D405 với sự hỗ trợ của dự án sinh viên nghiên cứu khoa học năm 2025 Trường Đại học Sư phạm Kỹ thuật Thành phố Hồ Chí Minh với mã số đề tài SV2025-077.


### Xung đột lợi ích

Các tác giả tuyên bố không có xung đột lợi ích trong bài báo này.

### TÀI LIỆU THAM KHẢO

- [1] X. Xu, C. Hao, M. Bishop, M. J. S. Edmonds, J. Sember, and J. Zhang, "Development and planning of solar power in China," in *Proc. IEEE Power & Energy Society General Meeting*, 2013, pp. 1–5.
- [2] S. Garroum, "How solar got cheap," *Climate Drift*, Aug. 2023.
- [3] H. A. Rub, J. Holtz, J. Rodriguez, and G. Baoming, "Medium-voltage multilevel converters—state of the art, challenges, and requirements in industrial applications," *IEEE Trans. Ind. Electron.*, vol. 57, no. 8, pp. 2581–2596, Aug. 2010.
- [4] M. Quraan, P. Tricoli, S. D'Arco, and L. Piegari, "Efficiency assessment of modular multilevel converters for battery electric vehicles," *IEEE Trans. Power Electron.*, vol. 32, no. 3, pp. 2041–2051, Mar. 2017.
- [5] E. Rasool and M. Darwish, "High frequency inverter circuit for UPS systems," in *Proc. Int. Universities Power Engineering Conf. (UPEC)*, Sep. 2012, pp. 1–4.
- [6] D. T. Do, N. A. Truong, M. K. Nguyen, and T. D. Duong, "Highly-reliable switched-boost four-leg inverter with leakage current suppression," *IEEE Access*, vol. 12, pp. 137054–137062, Sep. 2024, doi: 10.1109/ACCESS.2024.3463719.
- [7] D. T. Do, H. M. Le, T. L. Nguyen, and V. T. Tran, "An SVM method for three-phase quasi-switched boost inverter to eliminate leakage current," *J. Tech. Educ. Sci.*, vol. 20, no. 2, pp. 34–44, 2025, doi: 10.54644/jte.2025.1562.
- [8] R. P. Alzola *et al.*, "Robust active damping in LCL-filter based medium-voltage parallel grid inverters for wind turbines," *IEEE Trans. Power Electron.*, vol. 33, no. 12, pp. 10846–10857, Dec. 2018.
- [9] D. T. Do, M. K. Nguyen, V. T. Ngo, T. H. Quach, and V. T. Tran, "Common mode voltage elimination for quasi-switch boost T-type inverter based on SVM technique," *Electronics*, vol. 9, no. 1, pp. 1–16, 2020.
- [10] H. Chen and H. Zhao, "Review on pulse-width modulation strategies for common-mode voltage reduction in three-phase voltage-source inverters," *IET Power Electron.*, May 2016, ISSN 1755-4535.
- [11] L. Helle, *Modeling and Comparison of Power Converters for Doubly Fed Induction Generators in Wind Turbines*. Ph.D. dissertation, Inst. Energy Technol., Aalborg Univ., Denmark.
- [12] V. N. Nho and M. J. Youn, "A single carrier multi-modulation method in multilevel inverters," *J. Power Electron.*, vol. 5, no. 1, pp. 65–72, Jan. 2005.
- [13] D. O. Neacsu, "Space Vector Modulation — An Introduction," *Tutorial at IECON 2001*, in *Proceedings of the 27th Annual Conference of the IEEE Industrial Electronics Society*, Denver, CO, USA, 2001, pp. 1583–1592.
- [14] N. V. Nho, H. H. Lee, and N. H. Khuong, "Sinusoidal based step pulse PWM method in cascade multilevel inverters," in *Proc. IEEE*, 2006.
- [15] G. Oriti, A. L. Julian, and T. A. Lipo, "A new space vector modulation strategy for common mode voltage reduction," in *Proc. IEEE Annu. Power Electron. Spec. Conf. (PESC)*, Jul. 1997, doi: 10.1109/PESC.1997.618066.
- [16] M. Cacciato, A. Consoli, and G. Scarcella, "Reduction of common-mode currents in PWM inverter motor drives," *IEEE Trans. Ind. Appl.*, vol. 35, no. 2, pp. 469–476, Mar./Apr. 1999.
- [17] S. M. Ali, V. V. Reddy, and M. S. Kalavathi, "Simplified active zero state PWM algorithms for vector controlled induction motor drives for reduced common mode voltage," *International Conference on Recent Advances and Innovations in Engineering (ICRAIE-2014)*, Jaipur, India, 2014, pp. 1–7, doi: 10.1109/ICRAIE.2014.6909170.
- [18] T. Kashihara, Y. Araki, H. Yoshida, and K. Kobayashi, "Overmodulation Technique on Common Mode Voltage Reduction PWM Inverter using Saw-Wave Carrier Signal," *2022 International Power Electronics Conference (IPEC-Himeji 2022- ECCE Asia)*, Himeji, Japan, 2022, pp. 741–745, doi: 10.23919/IPEC-Himeji2022-ECCE53331.2022.9807216.
- [19] M. R. A. Pahlavani and Y. K. Vaneqi, "Optimization of space vector pulse width modulation switching algorithms for two-level inverters regarding different objective functions," *J. Basic Appl. Sci. Res.*, ISSN 2090-4304.
- [20] Y. S. Lai and F. S. Shyu, "Optimal common-mode voltage reduction PWM technique for inverter control with consideration of the dead-time effects. Part I: Basic development," *IEEE Trans. Ind. Appl.*, vol. 40, no. 6, pp. 1605–1612, Nov./Dec. 2004.
- [21] H. H. Goh, X. Li, C. S. Lim, D. Zhang, W. Dai, T. A. Kurniawan, and K. C. Goh, "Common-mode voltage reduction algorithm for photovoltaic grid-connected inverters with virtual-vector model predictive control," *Electronics*, vol. 10, no. 21, p. 2607, 2021, doi: 10.3390/electronics10212607.
- [22] M. R. Rusli *et al.*, "Digital implementation of space vector PWM for three phase inverter with simplified C-block PSIM utilization," in *Proc. Int. Electron. Symp. (IES)*, Surabaya, Indonesia, 2021, pp. 24–29, doi: 10.1109/IES53407.2021.9593292.

**Nhat Tan Nguyen** was born in Viet Nam, in 2004. He is a junior student at Ho Chi Minh City University of Technology and Education, Viet Nam and his major in Electrical and Electronic.


Email: [22142399@student.hcmute.edu.vn](mailto:22142399@student.hcmute.edu.vn). ORCID:  <https://orcid.org/0009-0008-6679-265X>

---

**Tuan Anh Phan Nguyen** was born in Viet Nam, in 2000. He received the B.S. in Electrical and Electronic Engineering from Ho Chi Minh City University of Technology and Education, Viet Nam, in 2023. He currently working toward the M.S degree in Electrical Engineering at Ho Chi Minh City University of Technology and Education, Viet Nam. His current research interests include the control of multi-level inverter and renewable energy.

Email: [2340604@student.hcmute.edu.vn](mailto:2340604@student.hcmute.edu.vn). ORCID:  <https://orcid.org/0009-0001-9504-5871>

**Huu Tien Nguyen** was born in Viet Nam, in 2002. He is a junior student at Ho Chi Minh City University of Technology and Education, Viet Nam and his major in Electrical and Electronic.

Email: [nguyentienbm2709@gmail.com](mailto:nguyentienbm2709@gmail.com). ORCID:  <https://orcid.org/0009-0009-9425-2527>

**Vinh Thanh Tran** was born in Viet Nam, in 1995. He received the B.S., the M.S. and the Ph.D degrees in Electronic Engineering from Ho Chi Minh City University of Technology and Education, Viet Nam, in 2018, 2020, and 2024, respectively. He is currently a Lecturer with the Faculty of Electrical and Electronics Engineering, Ho Chi Minh City University of Technology and Education. His current research interests include impedance source inverters and control of multi-level inverters.

Email: [thanhtv@hcmute.edu.vn](mailto:thanhtv@hcmute.edu.vn). ORCID:  <https://orcid.org/0000-0001-7135-5077>

**Duc Tri Do** (Member, IEEE) was born in Vietnam in 1973. He received the B.S., M.S. and Ph.D degrees in electronic engineering from the Ho Chi Minh City University of Technology and Education, Ho Chi Minh City, Vietnam, in 1999, 2012 and 2021, respectively. He is currently a Lecturer with the Faculty of Electrical and Electronics Engineering, Ho Chi Minh City University of Technology and Education. His current research interests include power converters for renewable energy systems.

Email: [tridd@hcmute.edu.vn](mailto:tridd@hcmute.edu.vn). ORCID:  <https://orcid.org/0000-0002-4096-5208>